

10/522316
Rec'd PCT/PTO 25 JAN 2005
PCT/JP03/09295

日本国特許庁
JAPAN PATENT OFFICE

22.07.03 #2

REC'D 05 SEP 2003

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2002年 7月29日

出願番号
Application Number: 特願2002-220423

[ST. 10/C]: [JP2002-220423]

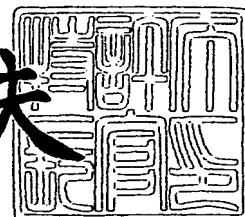
出願人
Applicant(s): ソニー株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

特許庁長官
Commissioner,
Japan Patent Office

2003年 8月22日

今井康夫



【書類名】 特許願
【整理番号】 0290331902
【提出日】 平成14年 7月29日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/98
【発明者】
【住所又は居所】 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミ
コンダクタ九州株式会社内
【氏名】 森山 勝利
【発明者】
【住所又は居所】 福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミ
コンダクタ九州株式会社内
【氏名】 森 寛伸
【発明者】
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内
【氏名】 岡崎 信道
【特許出願人】
【識別番号】 000002185
【氏名又は名称】 ソニー株式会社
【代理人】
【識別番号】 100114661
【弁理士】
【氏名又は名称】 内野 美洋
【選任した代理人】
【識別番号】 100080160
【弁理士】
【氏名又は名称】 松尾 憲一郎

【手数料の表示】

【予納台帳番号】 156525

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 複合記憶回路構造及び同複合記憶回路構造を有する半導体装置

【特許請求の範囲】

【請求項 1】 振発性記憶回路と不揮発性記憶回路とを並列に接続し、前記揮発性記憶回路に記憶された記憶情報を同一情報を前記不揮発性記憶回路に記憶すべく構成した複合記憶回路構造において、

前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込む場合に、前記揮発性記憶回路に記憶している第1の記憶情報を、前記不揮発性記憶回路に既に記憶している第2の記憶情報を比較する判定回路を設け、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第1の記憶情報を書込むべく構成したことを特徴とする複合記憶回路構造。

【請求項 2】 前記揮発性記憶回路への電力供給の低下時に、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書込むとともに、電力供給低下後の給電再開時に、前記揮発性記憶回路に前記不揮発性記憶回路の記憶情報を戻すべく構成したこと を特徴とする請求項1記載の複合記憶回路構造。

【請求項 3】 請求項1または請求項2のいずれか1項に記載の複合記憶回路構造を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、揮発性記憶回路と不揮発性記憶回路を並列に接続して構成した複合記憶回路構造及び同複合記憶回路構造を有する半導体装置に関するものである。

【0002】

【従来の技術】

従来、パーソナルコンピュータのような電子計算機等に内蔵され、所要の処理を行なう半導体装置内には、必要に応じて揮発性記憶回路を設け、処理に必要な情報を同揮発性記憶回路に逐次記憶させながら処理を実行している。

【0003】

かかる揮発性記憶回路は電力供給を行なうことによって記憶を保持しており、書込速度及び読出速度が速いという特性を有している一方で、電源停止操作や急な停電等において電力供給が絶たれた場合に記憶していた記憶情報が消失するという特性を有しております、電力供給停止後に電源を再投入した場合には、電力供給停止前に揮発性記憶回路に記憶していた情報は全く残っていないために、電力供給停止前の記憶情報を再現することが不可能であった。

【0004】

そこで、昨今では、揮発性記憶回路と不揮発性記憶回路とを並列に接続して記憶回路を構成し、揮発性記憶回路に記憶した情報と同一情報を不揮発性記憶回路にも記憶することにより、電源停止操作や急な停電等において電力供給が絶たれた場合には必要な情報を不揮発性記憶回路で保存しておき、電力供給が再開された場合には、不揮発性記憶装置に記憶していた情報を用いることによって、電力供給が絶たれる前の状態に直ちに復帰可能とするインスタントオン技術が提案されている。

【0005】

【発明が解決しようとする課題】

しかしながら、上記した記憶回路では、既に不揮発性記憶回路に記憶している情報が揮発性記憶回路の情報と同じ場合であっても不揮発性記憶回路への書込操作が生じ、無駄な電力消費が生じているという問題があった。

【0006】

特に、不揮発性記憶回路は、不揮発性という特性上、記憶情報の書き込みに多大な電気エネルギーを必要とするために、消費電力削減を阻害する要因となっていた。

【0007】

【課題を解決するための手段】

上記の問題点を解決すべく、本発明の複合記憶回路構造では、揮発性記憶回路と不揮発性記憶回路とを並列に接続し、前記揮発性記憶回路に記憶されたの記憶情報と同一情報を前記不揮発性記憶回路に記憶すべく構成した複合記憶回路構造において、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書き込む場合

に、前記揮発性記憶回路に記憶している第1の記憶情報と、前記不揮発性記憶回路に既に記憶している第2の記憶情報を比較する判定回路を設け、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不揮発性記憶回路に前記第1の記憶情報を書き込むべく構成した。

【0008】

また、前記揮発性記憶回路への電力供給の低下時に、前記不揮発性記憶回路に前記揮発性記憶回路の記憶情報を書き込むとともに、電力供給低下後の給電再開時に、前記揮発性記憶回路に前記不揮発性記憶回路の記憶情報を戻すべく構成したことにも特徴を有するものである。

【0009】

さらに、本発明の半導体装置では、上記の複合記憶回路構造を有することに特徴を有するものである。

【0010】

【発明の実施の形態】

本発明の複合記憶回路構造は、揮発性記憶回路と不揮発性記憶回路とを並列に接続して記憶回路を構成し、揮発性記憶回路の記憶情報と同一情報を不揮発性記憶回路に記憶する複合記憶回路構造としたものであって、不揮発性記憶回路に揮発性記憶回路の記憶情報を書き込む場合に、揮発性記憶回路に記憶している第1の記憶情報と、不揮発性記憶回路に既に記憶している第2の記憶情報を比較する判定回路を設けているものである。

【0011】

すなわち、判定回路において第1の記憶情報と第2の記憶情報を比較判定し、第1の記憶情報と第2の記憶情報とが一致しない場合には不揮発性記憶回路に第1の記憶情報を書き込み、第1の記憶情報と第2の記憶情報とが一致する場合には不揮発性記憶回路への第1の記憶情報の書き込みを行なわないことによって、不揮発性記憶回路への書き込み処理の回数を削減することができ、消費電力を削減することができる。

【0012】

また、揮発性記憶回路の記憶情報の不揮発性記憶回路への書き込みを、揮発性記

憶回路への電力供給の低下時とした場合には、電力供給の低下にともなって揮発性記憶回路の記憶情報が消失するおそれのある状態となつたときにのみ、揮発性記憶回路の記憶情報を不揮発性記憶回路に書き込むことができ、不必要的情報の書き込み、すなわち、不揮発性記憶回路に書込んだものの利用することなく次の書き込みが行なわれる情報の書き込みを防止して、消費電力を削減することができる。

【0013】

また、不揮発性記憶回路に書き込む情報は、電力供給低下後の給電再開時に利用する情報であつて、しかも、給電再開時に揮発性記憶回路に不揮発性記憶回路の記憶情報を戻すことによって、読み出速度の速い揮発性記憶回路から所要の情報を利用可能とすることことができ、速やかなインスタントオンを実現することができる。

【0014】

また、上記の複合記憶回路構造からなる記憶回路を半導体基板上に構成して半導体装置を形成した場合には、同半導体装置には電力の供給を停止した際にも動作時の状態を記憶しておくことができ、しかも給電を再開した場合には、瞬時に電力供給停止直前の状態に復帰させることができるので、同半導体装置を用いて電子機器や電気機器を構成した場合、インスタントオンを容易に実現できる。

【0015】

なお、この場合、揮発性記憶回路と不揮発性記憶回路とは必ずしも同一半導体基板上に形成する必要はなく、異なる半導体基板上にそれぞれ揮発性記憶回路と不揮発性記憶回路とを構成し、所要の配線により並列接続してもよい。

【0016】

以下において、図面に基づいて本発明の実施の形態を詳説する。特に次の順番で説明を行なう。

- 1) 複合記憶回路構造の説明
- 2) 給電停止時における複合記憶回路の動作説明
- 3) 給電再開時における複合記憶回路の動作説明

以下の説明では、不揮発性記憶回路には磁気メモリからなる磁気記憶回路を用いているが、磁気記憶回路に限定するものではなく、EEPROM、Flash

メモリ、強誘電体メモリなどを用いて構成した不揮発性記憶回路としてもよい。

【0017】

1) 複合記憶回路構造の説明

図1は、本発明の複合記憶回路構造とした複合記憶回路1の回路図であり、同複合記憶回路1は、揮発性記憶回路2と、不揮発性記憶回路3とを第1接続線4と、第2接続線5とによって並列状態に接続して構成している。

【0018】

特に、不揮発性記憶回路3は判定回路6を介して揮発性記憶回路2と接続しており、後述するように、揮発性記憶回路2に記憶された第1の記憶情報を不揮発性記憶回路3に書込む場合には、判定回路6において第1の記憶情報と不揮発性記憶回路3に既に記憶されている第2の記憶情報との比較を行ない、第1の記憶情報と第2の記憶情報とが不一致の場合にのみ不揮発性記憶回路3に第1の記憶情報を書込むべく構成している。

【0019】

本実施の形態においては、揮発性記憶回路2、不揮発性記憶回路3、及び判定回路6は半導体基板上に形成しており、揮発性記憶回路2は、システムLSIチップに形成したラッチ式記憶回路としている。

【0020】

また、揮発性記憶回路2には、コンデンサからなる情報保持用電源7を設けており、かつ、同情報保持用電源7の作動制御を行なう第1スイッチトランジスタ8を設けている。同第1スイッチトランジスタ8のゲートには、電源スイッチ信号入力線9を接続しており、同電源スイッチ信号入力線9から入力した電源スイッチ信号に基づいて第1スイッチトランジスタ8を制御して、情報保持用電源7の作動制御を行なうべく構成している。

【0021】

揮発性記憶回路2には他の記憶回路あるいは素子と接続する第1導線10と第2導線11を接続しており、第1導線10及び第2導線11には、それぞれ電源切離信号入力線12と接続した第1回路切替スイッチ13及び第2回路切替スイッチ14を介設しており、電源切離信号入力線12からの電源切離信号の入力に基づいて、第1回

路切替スイッチ13及び第2回路切替スイッチ14での開閉切替を行なうべく構成している。

【0022】

第1導線10と一端を接続する第1接続線4は、揮発性記憶回路2と第1回路切替スイッチ13との間において第1導線10と接続しており、また、第2導線11と一端を接続する第2接続線5は、揮発性記憶回路2と第2回路切替スイッチ14との間において第2導線11と接続している。

【0023】

また、第1接続線4には、読出信号入力線15と接続した第3回路切替スイッチ16を介設しており、読出信号入力線15からの読出信号の入力に基づいて、第3回路切替スイッチ16での開閉切替を行なうべく構成している。

【0024】

不揮発性記憶回路3には、上記したように磁気記憶回路を用いており、「0」または「1」の情報を、磁気トンネル接合素子Mを用いて記憶すべく構成している。なお、揮発性記憶回路2であるラッチ式記憶回路が2ビットの情報の記憶を行なうため、不揮発性記憶回路3でも2ビットの情報の記憶を行なうべく、磁気トンネル接合素子Mを2つ設けている。

【0025】

磁気トンネル接合素子Mには、第1読出線17と第2読出線18とを接続しており、同第1読出線17と同第2読出線18を介して磁気トンネル接合素子Mを情報読出回路3aと接続し、磁気トンネル接合素子Mからの情報の読出しを行なうべく構成している。

【0026】

なお、第1読出線17には、読出信号入力線15と接続した第1読出制御スイッチトランジスタ19を介設するとともに、第2読出線18には、読出信号入力線15と接続した第2読出制御スイッチトランジスタ20を介設し、読出信号入力線15に読出信号を入力することにより、後述するように、情報読出回路3aを用いて磁気トンネル接合素子Mから情報を読出すべく構成している。

【0027】

情報読出回路3aには、コンデンサからなる読出用電源21を設けており、かつ、同読出用電源21の作動制御を行なう第2スイッチトランジスタ22を設けている。同第2スイッチトランジスタ22のゲートには、電源スイッチ信号入力線9を接続しており、同電源スイッチ信号入力線9から入力した電源スイッチ信号に基づいて第2スイッチトランジスタ22を制御して、読出用電源21の作動制御を行なうべく構成している。

【0028】

また、本実施形態においては、不揮発性記憶回路3には、ベースにイコライズ信号入力線23を接続したイコライズスイッチトランジスタ24を設け、同イコライズスイッチトランジスタ24は一端を第1読出線17に接続するとともに、他端を第2読出線18に接続している。

【0029】

判定回路6は、複数のANDゲート回路を組み合わせて構成した比較判定部6aと、同比較判定部6aでの判定結果に基づいて不揮発性記憶回路3に書き込みを行なうための書き込みドライバ回路6bとから構成している。

【0030】

比較判定部6aには、書き込み信号入力線25と接続して書き込み信号を入力するとともに、揮発性記憶回路3に記憶された第2の記憶情報の信号を入力する第1ANDゲート回路26と、同第1ANDゲート回路26から出力された出力信号を入力するとともに、第2接続線5を介して揮発性記憶回路2に記憶された第1の記憶情報の信号を入力する第2ANDゲート回路27を設け、さらに、書き込み信号入力線25と接続して書き込み信号を入力するとともに、揮発性記憶回路3に記憶された第2の記憶情報の信号を入力する第3ANDゲート回路28と、同第3ANDゲート回路28から出力された出力信号を入力するとともに、第1接続線4を介して揮発性記憶回路2に記憶された第1の記憶情報の信号を入力する第4ANDゲート回路29を設けている。

【0031】

従って、同比較判定部6aにおいて、揮発性記憶回路2の第1の記憶情報と不揮発性記憶回路3の第2の記憶情報とが一致した場合には、書き込みドライバ回路6b

は作動せず、揮発性記憶回路2の第1の記憶情報と不揮発性記憶回路3の第2の記憶情報とが不一致の場合には、書込用ドライバ回路6bが作動し、磁気トンネル接合素子Mと接続した書込線30に所要の書込用電流を流して、磁気トンネル接合素子Mに第1の記憶情報を書込むべく構成している。

【0032】

なお、書込用ドライバ回路6bにはコンデンサからなる書込用電源31を設けており、電源供給が停止した場合であっても、磁気トンネル接合素子Mと接続した書込線30に所要の書込用電流を所定時間流して、磁気トンネル接合素子Mに第1の記憶情報を確実に書込可能としている。

【0033】

通常、システムLSIチップには、上記した複合記憶回路1を多数内蔵しており、システムLSIチップ全体から見ると、揮発性記憶回路2の第1の記憶情報と不揮発性記憶回路3の第2の記憶情報とが一致する確率は約50%であるので、判定回路6を設けることによってシステムLSIチップ全体では、不揮発性記憶回路3への書込回数をほぼ半減させることができるので、消費電力の削減をはかることができる。

【0034】

2) 給電停止時における複合記憶回路の動作説明

図2に示したタイミングチャートに基づいて、給電停止時における複合記憶回路1の動作を説明する。給電停止状態となるのは、シャットダウン操作による主電源の切断の場合だけでなく、停電や予期せぬトラブルの場合などもあるが、以下においては一般的な給電停止状態であるシャットダウン操作による主電源の切断の場合について説明する。給電停止の理由がいずれであっても、給電停止時の動作形態は同じである。

【0035】

図2(a)は、複合記憶回路1を有するにシステムLSIチップの主電源切断に基づく電力のタイミング図である。主電源の切断にともなってシステムLSIチップへの給電量が所定値以下となったところで、システムLSIチップのパワーオフ信号発生回路(図示せず)が作動し、同パワーオフ信号発生回路は、図2

(b) に示すパワーオフ信号を発生させる。

【0036】

パワーオフ信号に基づいて電源切離信号発生回路（図示せず）が作動し、同電源切離信号発生回路は、図2(c)に示す電源切離信号を発生させる。

【0037】

電源切離信号は、電源切離信号入力線12によって第1回路切替スイッチ13と第2回路切替スイッチ14とに入力し、第1回路切替スイッチ13と第2回路切替スイッチ14とによって第1導線10及び第2導線11の切断を行なうことにより、同第1導線10及び第2導線11を介して接続された他の記憶回路や素子から揮発性記憶回路2を独立させ、揮発性記憶回路2への情報入力を阻止し、電源切断後に揮発性記憶回路2の記憶情報に変更が加えられることを禁止している。

【0038】

すなわち、第1導線10及び第2導線11と他の記憶回路や素子を接続したままの場合には、揮発性記憶回路2に供給される電力の低下にともなって、揮発性記憶回路2を構成しているトランジスタのドレイン側から電荷が消費されるため、記憶情報が自発的に変化するおそれがあるからである。

【0039】

ここで、第1回路切替スイッチ13と第2回路切替スイッチ14にはトランスファーゲートを用いているが、トランスファーゲートと同様に揮発性記憶回路2を構成しているトランジスタの電荷消費を防止できる構成であれば何であってもよい。

【0040】

また、パワーオフ信号に基づいて電源スイッチ信号発生回路（図示せず）が作動し、同電源スイッチ信号発生回路は、図2(d)に示す電源スイッチ信号を発生させる。電源スイッチ信号は、電源スイッチ信号入力線9によって第1スイッチトランジスタ8に入力し、揮発性記憶回路2の供給電源を情報保持用電源7に切換える。また、電源スイッチ信号は、電源スイッチ信号入力線9によって第2スイッチトランジスタ22にも入力し、情報読出回路3aの供給電源を読出用電源21に切換える。

【0041】

情報保持用電源7及び読出用電源21を作動させることによって、主電源の切斷にともなって電力供給が絶たれたにもかかわらず、揮発性記憶回路2では記憶されている第1の記憶情報を所定時間保持可能とともに、不揮発性記憶回路3では判定回路6の比較判定部6aに第2の記憶情報を読出可能としている。

【0042】

パワーオフ信号に基づく電源切離信号及び電源スイッチ信号の生成と同時に、パワーオフ信号に基づいて書込信号発生回路（図示せず）が作動し、同書込信号発生回路は、図2（e）に示す書込信号を発生させる。

【0043】

書込信号は、書込信号入力線25によって比較判定部6aの第1ANDゲート回路26と第3ANDゲート回路28とに入力し、同比較判定部6aにおいて揮発性記憶回路2から読出した第1の記憶情報と、不揮発性記憶回路3から読出した第2の記憶情報との比較を行なう。

【0044】

第1の記憶情報と第2の記憶情報とが一致した場合には、不揮発性記憶回路3には第1の記憶情報を書込む必要がないので、書込用ドライバ回路6bは作動することなく、作業を終了する。

【0045】

一方、第1の記憶情報と第2の記憶情報とが不一致の場合には、不揮発性記憶回路3への第1の記憶情報の書き込みを行なうべく書込用ドライバ回路6bを作動させ、書込線30に所要の書込用電流を流し、図2（f）に示すように不揮発性記憶回路3に揮発性記憶回路2の第1の記憶情報を書込むべく構成している。

【0046】

なお、書込用ドライバ回路6bには書込用電源31を設けていることにより、主電源の切斷にともなって電力供給が絶たれたにもかかわらず、書込用ドライバ回路6bを所定時間作動させて、不揮発性記憶回路3に第1の記憶情報を書込可能としている。

【0047】

不揮発性記憶回路3における磁気記憶回路に磁気トンネル接合素子Mを用いた場合には、数10ns程度の短い書込時間で書き込みを行なうことができるので、電力備蓄手段である情報保持用電源7、読出用電源21、書き用電源31の容量を抑制できる。

【0048】

情報保持用電源7、読出用電源21、書き用電源31は、不揮発性記憶回路3への書き処理が実行可能な程度の容量であればよく、図2(f)及び図2(g)に示すように不揮発性記憶回路3への第1の記憶情報を書き込みが終了するまで、揮発性記憶回路2は第1の記憶情報を保持できればよい。

【0049】

以上が、主電源の切断時に複合記憶回路1が行なう動作である。このように、給電量の低下にともなって発生させたパワーオフ信号をトリガーとして、揮発性記憶回路2の第1の記憶情報を不揮発性記憶回路3に書きませることにより、給電停止後の給電再開時に必要となる情報のみを不揮発性記憶回路3に記憶させることができ、不揮発性記憶回路3への書き回数を削減して消費電力の削減をはかることができる。

【0050】

3) 給電再開時における複合記憶回路の動作説明

図3に示したタイミングチャートに基づいて、主電源の切断に基づいて給電が停止していた状態から給電が再開された場合における複合記憶回路1の動作を説明する。

【0051】

図3(a)は、給電再開にともなって電源から複合記憶回路1を有するシステムLSIチップに供給される電力のタイミング図であり、システムLSIチップへの給電量が所定値に達したところで、システムLSIチップのパワーオン信号発生回路(図示せず)が作動し、同パワーオン信号発生回路は、図3(b)に示すパワーオン信号を発生させる。

【0052】

パワーオン信号に基づいて電源切離信号発生回路(図示せず)が作動し、同電

源切離信号発生回路は、図3（c）に示す電源切離信号を発生させる。

【0053】

電源切離信号は、電源切離信号入力線12によって第1回路切替スイッチ13と第2回路切替スイッチ14とに入力し、第1回路切替スイッチ13と第2回路切替スイッチ14とによって第1導線10及び第2導線11の切断を行なうことにより、同第1導線10及び第2導線11を介して接続された他の記憶回路や素子から揮発性記憶回路2を独立させ、他の記憶回路や素子から影響を受けることなく揮発性記憶回路2に不揮発性記憶回路3の第2の記憶情報を書込可能としている。

【0054】

図3（d）に示すように、読出信号発生回路（図示せず）は、システムLSIチップへの電力供給開始に同期して読出信号を発生させており、同読出信号は、読出信号入力線15によって第3回路切替スイッチ16に入力するとともに、第1読出制御スイッチトランジスタ19及び第2読出制御スイッチトランジスタ20にも入力する。

【0055】

次いで、パワーオン信号に基づいてイコライズ信号発生回路（図示せず）は、図3（e）に示すイコライズ信号を発生させ、同イコライズ信号をイコライズ信号入力線23に入力する。

【0056】

イコライズ信号入力線23へのイコライズ信号の入力にともなって、図3（f）に示すように揮発性記憶回路2のイコライズを行なう。このとき、不揮発性記憶回路3では読出信号に基づいて、磁気トンネル接合素子Mから読出回路3aに第2の記憶情報の読み出しを行なう。

【0057】

そして、イコライズ信号をディセーブル(disable)するとともに、読出信号を投入することにより、図3（f）に示すように不揮発性記憶回路3に記憶されていた第2の記憶情報を揮発性記憶回路2に読み出している。

【0058】

揮発性記憶回路2への第2の記憶情報の読み出し後、電源切離信号のディセーブ

ルとすることにより、第1回路切替スイッチ13及び第2回路切替スイッチ14によって切斷状態としていた第1導線10及び第2導線11の接続を行ない、揮発性記憶回路2に読出した第2の記憶情報、及び揮発性記憶回路2自体を利用可能としている。

【0059】

以上が、給電再開時に複合記憶回路1が行なう動作である。このように、給電再開時に揮発性記憶回路に不揮発性記憶回路の記憶情報を戻すことによって、読出速度の速い揮発性記憶回路から所要の情報を利用可能とすることができ、速やかなインスタントオンを実現することができる。

【0060】

【発明の効果】

請求項1記載の発明では、不揮発性記憶回路に揮発性記憶回路の記憶情報を書込む場合に、揮発性記憶回路に記憶している第1の記憶情報と、不揮発性記憶回路に既に記憶している第2の記憶情報を比較する判定回路を設け、第1の記憶情報と第2の記憶情報とが不一致の場合にのみ不揮発性記憶回路に第1の記憶情報を書込むべく複合記憶回路構造を構成したことによって、不揮発性記憶回路への書込処理の回数を削減することができ、消費電力を削減することができる。

【0061】

請求項2記載の発明では、揮発性記憶回路への電力供給の低下時に、不揮発性記憶回路に揮発性記憶回路の記憶情報を書込むとともに、電力供給低下後の給電再開時に、揮発性記憶回路に不揮発性記憶回路の記憶情報を戻すべく複合記憶回路構造を構成したことによって、電力供給の低下にともなって揮発性記憶回路の記憶情報が消失するおそれのある状態となったときにのみ、揮発性記憶回路の記憶情報を不揮発性記憶回路に確実に書込むことができ、不揮発性記憶回路への書込処理の回数を削減することができ、消費電力を削減することができる。

【0062】

しかも、不揮発性記憶回路に書込む情報は、電力供給低下後の給電再開時に必要となる情報であって、そのうえ、給電再開時に揮発性記憶回路に不揮発性記憶回路の記憶情報を戻すことによって、読出速度の速い揮発性記憶回路から所要の

情報を利用可能とすることができます、速やかなインスタントオンを実現することができる。

【0063】

請求項3記載の発明では、上記の複合記憶回路構造を有することに特徴を有する半導体装置とすることによって、同半導体装置を内蔵した電子機器あるいは電気機器にインスタントオン機能及びインスタントオフ機能を付与することができる半導体装置を提供できる。しかも、停電などによる急な電力供給の停止の際にも、停止前の記憶状態を確実に保存することができ、利便性を極めて向上させることができる半導体装置を提供できる。

【図面の簡単な説明】

【図1】

本発明に係る複合記憶回路構造の一例を示した回路図である。

【図2】

図1の回路図の動作を説明するタイミングチャートである。

【図3】

図1の回路図の動作を説明するタイミングチャートである。

【符号の説明】

M 磁気トンネル接合素子

1 複合記憶回路

2 撥発性記憶回路

3 不撗発性記憶回路

3a 情報読出回路

4 第1接続線

5 第2接続線

6 判定回路

6a 比較判定部

6b 書込用ドライバ回路

7 情報保持用電源

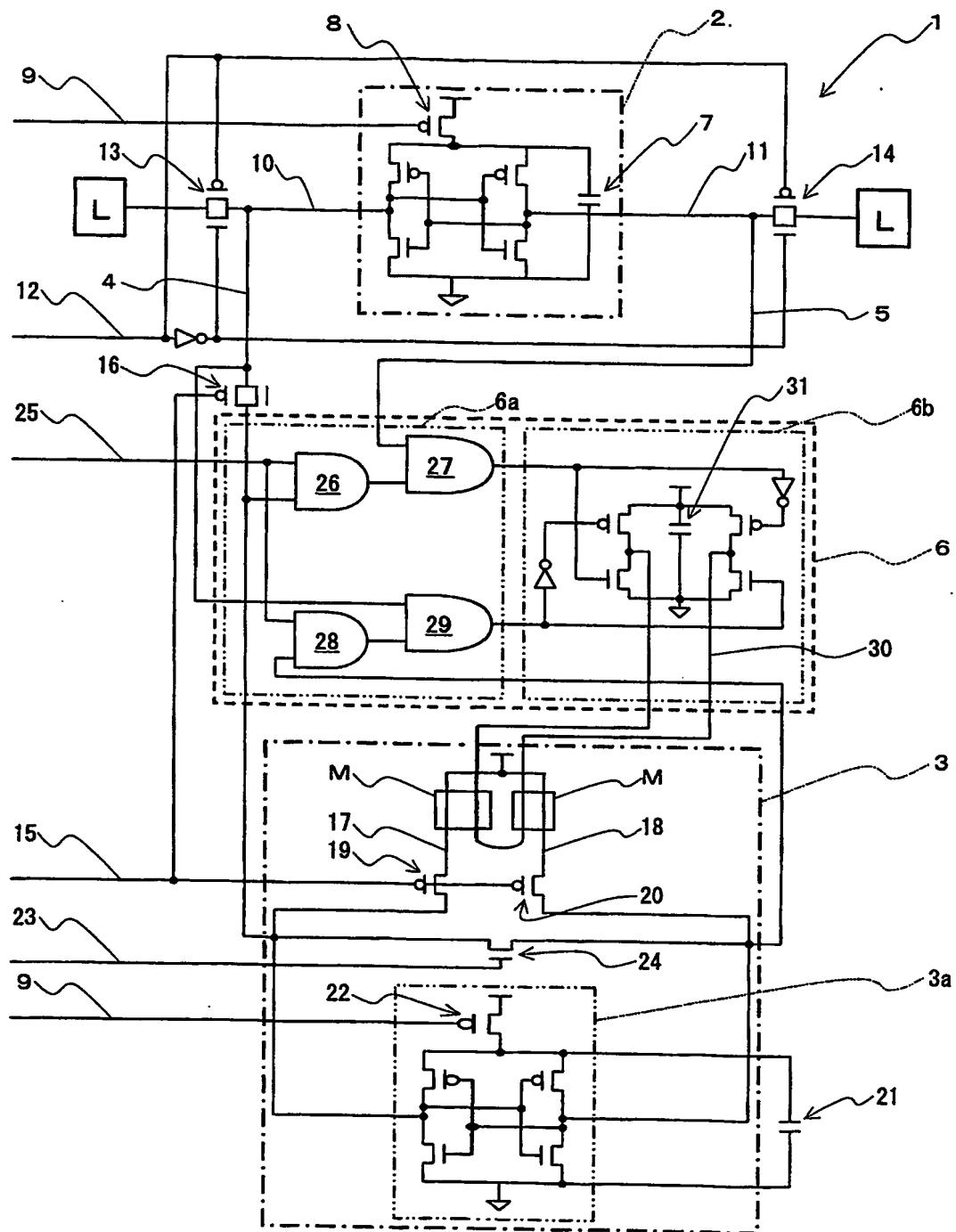
8 第1スイッチトランジスタ

- 9 電源スイッチ信号入力線
- 10 第1導線
- 11 第2導線
- 12 電源切離信号入力線
- 13 第1回路切替スイッチ
- 14 第2回路切替スイッチ
- 15 讀出信号入力線
- 16 第3回路切替スイッチ
- 17 第1読出線
- 18 第2読出線
- 19 第1読出制御スイッチトランジスタ
- 20 第2読出制御スイッチトランジスタ
- 21 読出用電源
- 22 第2スイッチトランジスタ
- 23 イコライズ信号入力線
- 24 イコライズスイッチトランジスタ
- 25 書込信号入力線
- 26 第1ANDゲート回路
- 27 第2ANDゲート回路
- 28 第3ANDゲート回路
- 29 第4ANDゲート回路
- 30 書込線
- 31 書込用電源

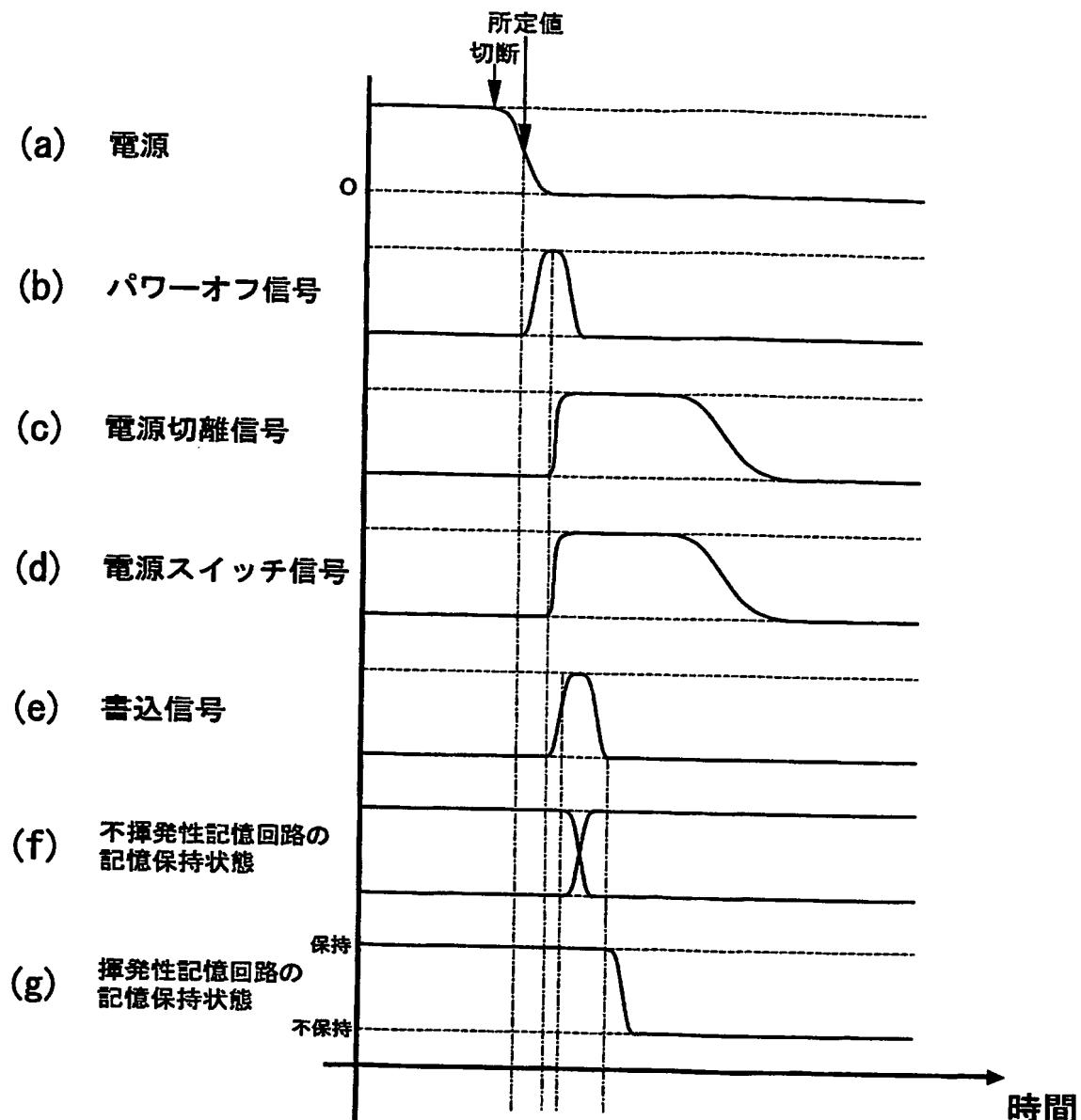
【書類名】

図面

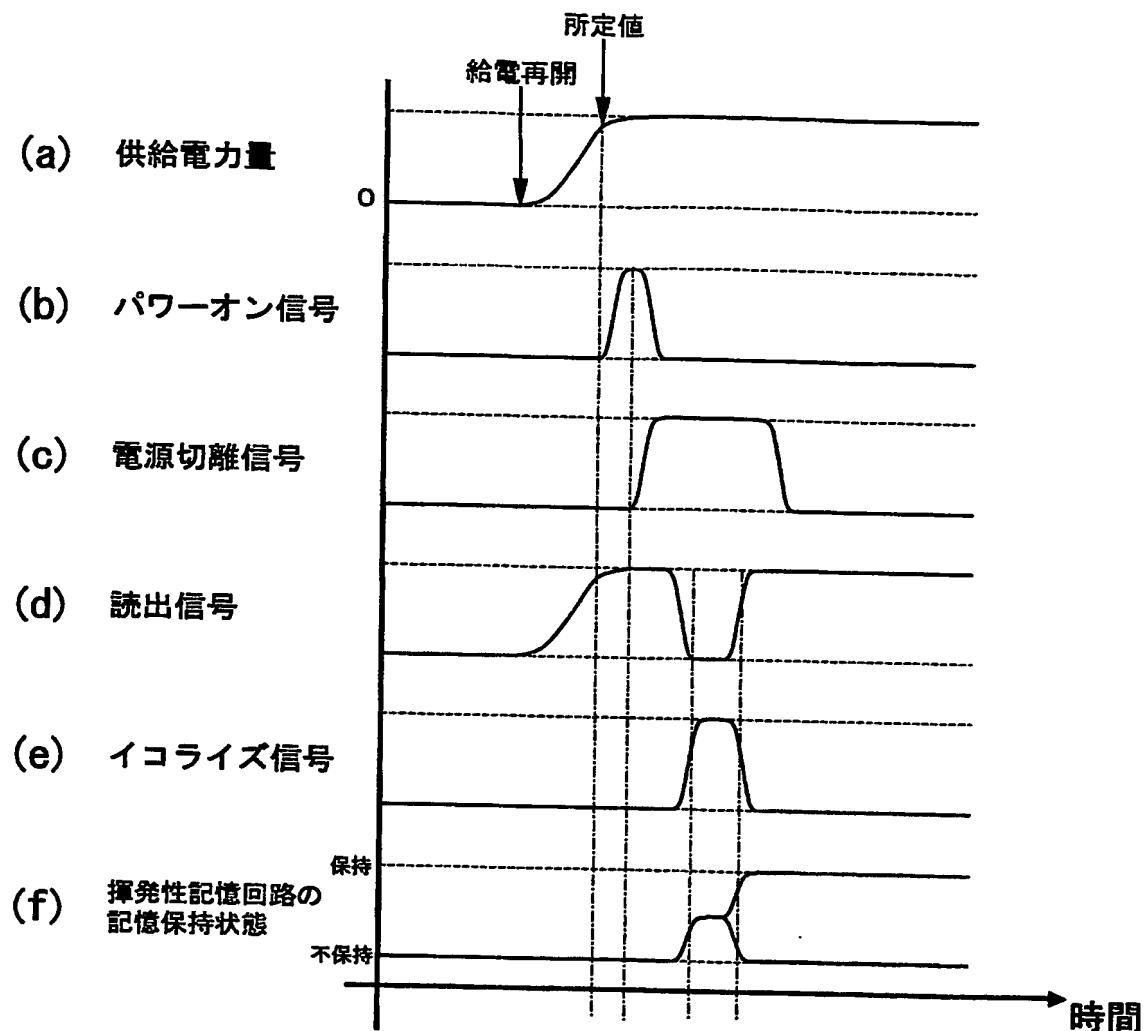
【図 1】



【図2】



【図3】



【書類名】 要約書

【要約】

【課題】 撃発性記憶回路と不撃発性記憶回路とを並列に接続して記憶回路を構成し、撃発性記憶回路の記憶情報を同一情報を不撃発性記憶回路に記憶することによりインスタントオンを可能とした複合記憶回路構造及び同複合記憶回路構造を有する半導体装置において、消費電力の低減をはかった複合記憶回路構造及び同複合記憶回路構造を有する半導体装置を提供する。

【解決手段】 撃発性記憶回路と不撃発性記憶回路とを並列に接続して構成した複合記憶回路構造及び同複合記憶回路構造を有する半導体装置において、前記不撃発性記憶回路に前記撃発性記憶回路の記憶情報を書込む場合に、前記撃発性記憶回路に記憶している第1の記憶情報と、前記不撃発性記憶回路に既に記憶している第2の記憶情報を比較する判定回路を設け、前記第1の記憶情報と前記第2の記憶情報とが不一致の場合にのみ前記不撃発性記憶回路に前記第1の記憶情報を書込むべく構成する。

【選択図】 図1

特願2002-220423

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

[変更理由]

1990年 8月30日

新規登録

住所 東京都品川区北品川6丁目7番35号

氏名 ソニー株式会社